

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY**

**As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

012602430 \*\*Image available\*\*

WPI Acc No: 1999-408534/199935

XPX Acc No: N99-304909

Withdrawal wiring connection structure in liquid crystal apparatus for display device such as CRT - has withdrawal wiring provided with electrode pad, which is connected to drive circuit of liquid crystal display

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11160734	A	19990618	JP 97344402	A	19971128	199935 B

Priority Applications (No Type Date): JP 97344402 A 19971128

Patent Details:

Patent No	Kind	Lang	Pg	Main IPC	Filing Notes
JP 11160734	A		11	G02F-001/136	

Abstract (Basic): JP 11160734 A

NOVELTY - Several withdrawal wirings are provided on a substrate, on whose edge electrode pads are arranged along the extension direction of withdrawal wiring. The withdrawal wiring is connected to the drive circuit of liquid crystal. DETAILED DESCRIPTION - Pixel electrode of the substrate is connected to matrix shape switching element formed on substrate through thin film transistor. Another substrate is provided with counter electrode. A liquid crystal is interposed between the substrates.

USE - For display device such as CRT.

ADVANTAGE - Improves reliability of liquid crystal electro-optical apparatus. Prevents inferior connection since join gap during bonding is eliminated. DESCRIPTION OF DRAWING(S) - The drawing shows layout diagram of liquid crystal apparatus.

Dwg. 1/8

Title Terms: WITHDRAW; WIRE; CONNECT; STRUCTURE; LIQUID; CRYSTAL; APPARATUS ; DISPLAY; DEVICE; CRT; WITHDRAW; WIRE; ELECTRODE; PAD; CONNECT; DRIVE; CIRCUIT; LIQUID; CRYSTAL; DISPLAY

Derwent Class: P81; U12; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/1343; H01L-029/786

File Segment: EPI; EngPI

DIALOG(R) File 347 JAPIO  
(c) 2000 JPO & JAPIO. All rts. reserv.

06219173   \*\*Image available\*\*  
LIQUID CRYSTAL ELECTROOPTICAL DEVICE

PUB. NO. : 11-160734 [JP 11160734 A]  
PUBLISHED: June 18, 1999 (19990618)  
INVENTOR(s): YAMAZAKI SHUNPEI  
              KOYAMA JUN  
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD  
APPL. NO. : 09-344402 [JP 97344402]  
FILED: November 28, 1997 (19971128)  
INTL. CLASS: G02F-001/136; G02F-001/1343; H01L-029/786

#### ABSTRACT

PROBLEM TO BE SOLVED: To precisely connect leader wiring of a panel array substrate with the leader wiring of a stick substrate by arranging electrode pads adjacent to each other while shifting them in the direction that the leader wiring are prolonged.

SOLUTION: The leader wiring 107 are provided parallel to the stick substrate 103 side toward a forming area 104 of a pixel matrix from the drive circuit part 105 of the stick substrate 103, and stick side electrode pads 106 are provided on these wiring end parts. Further, panel side electrode pads 108 are provided on the end parts of panel side leader wiring 109 on a panel array substrate 101. Then, the electrode pads adjacent to each other are arranged shifting by  $T_s$  in the Y direction, so that the electrode pads adjacent to each other are prevented from being short-circuited. Thus, even when the stick substrate 103 is contracted by a contracted width D in the long side direction, the area where the stick side electrode pad 106 is overlapped the panel side electrode pad 108 is nearly uniformized in the whole substrate surface.

COPYRIGHT: (C)1999, JPO

?

(51) Int.Cl.<sup>6</sup>  
 G 0 2 F 1/136  
           1/1343  
 H 0 1 L 29/786

識別記号  
 5 0 0

F I  
 G 0 2 F 1/136 5 0 0  
           1/1343  
 H 0 1 L 29/78 6 1 2 B

審査請求 未請求 請求項の数11 F D (全 11 頁)

(21) 出願番号 特願平9-344402

(22) 出願日 平成9年(1997)11月28日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内

(72) 発明者 小山 潤

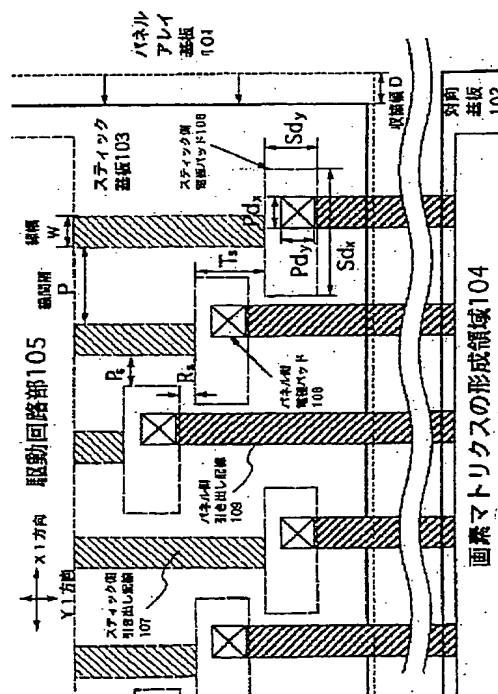
神奈川県厚木市長谷398番地 株式会社半  
 導体エネルギー研究所内

(54) 【発明の名称】 液晶電気光学装置

(57) 【要約】

【課題】 パネルアレイ基板とスティック基板との接続工程において、接続時に生じる位置ずれと、基板の収縮による位置ずれによって、接続不良が増大し、信頼性が低下するという問題点を解決する手段を提供することを課題とする。

【解決手段】 スティック基板103全体の形状を長方形 ( $L_{x1} \times L_{y1}$ ) とし、隣接する電極パッドをY方向にTsずらして配置することにより、パネルアレイ基板の引き出し配線とスティック基板の引き出し配線とを高精度で接続でき、歩留りが高く表示特性の良い電気光学装置を得る。



## 【特許請求の範囲】

【請求項1】 薄膜トランジスタを用いたスイッチング素子及び前記スイッチング素子と接続された画素電極がマトリクス状に配置された第1の基板と、対向電極を有する第2の基板と、前記第1の基板と前記第2の基板の間に液晶とを介在せしめた液晶電気光学装置であって、液晶を駆動させるための駆動回路及び該駆動回路と接続された複数の引き出し配線が配置された少なくとも1枚以上の第3の基板を有し、前記第3の基板上には、前記複数の引き出し配線の端部に電極パッドが設けられ、隣合う電極パッドは、引き出し配線が延在している方向にずらして配置することを特徴とする液晶電気光学装置。

【請求項2】 薄膜トランジスタを用いたスイッチング素子及び前記スイッチング素子と接続された画素電極がマトリクス状に配置された第1の基板と、対向電極を有する第2の基板と、前記第1の基板と前記第2の基板の間に液晶とを介在せしめた液晶電気光学装置であって、液晶を駆動させるための駆動回路及び該駆動回路と接続された複数の引き出し配線が配置された少なくとも1枚以上の第3の基板を有し、前記第3の基板上には、複数の引き出し配線の端部に電極パッドが配置され、前記電極パッドの形状が長方形であり、前記長方形の向かい合う2辺の一组が前記第3の基板の収縮幅によって規定され、他の一组が前記第1の基板に形成された配線パターンによって規定されたことを特徴とする液晶電気光学装置。

【請求項3】 請求項2において、前記第3の基板の収縮幅は、第1の基板の収縮幅より大きいことを特徴とする液晶電気光学装置。

【請求項4】 請求項2において、前記配線パターンの少なくとも一部が走査配線であることを特徴とする液晶電気光学装置。

【請求項5】 請求項2において、前記配線パターンの少なくとも一部が信号配線であることを特徴とする液晶電気光学装置。

【請求項6】 請求項1乃至5において、前記第3の基板は、前記第1の基板よりも高温の熱処理が施されていることを特徴とする液晶電気光学装置。

【請求項7】 請求項1乃至5において、前記第3の基板の基板は前記第2の基板と実質的に同一平面とされていることを特徴とする液晶電気光学装置。

【請求項8】 請求項1乃至5において、前記第1の基板のスイッチング素子として用いた薄膜トランジスタの活性層は、アモルファスシリコンからなり、前記第3の基板のスイッチング素子として用いた薄膜トランジスタの活性層は、結晶性を有するシリコンからなることを特徴とする液晶電気光学装置。

【請求項9】 請求項1乃至5において、前記第1の基板のスイッチング素子として用いた薄膜トランジスタの活性層は、結晶性を有するシリコンからなり、前記第3の

基板のスイッチング素子として用いた薄膜トランジスタの活性層は、結晶性を有するシリコンからなることを特徴とする液晶電気光学装置。

【請求項10】 請求項1乃至5において、前記第1の基板及び第3の基板は、前記第3の基板の電極パッド部分の位置合わせが行われるよう調節する位置合わせ手段を有していることを特徴とする液晶電気光学装置。

【請求項11】 請求項1乃至5において、前記第1の基板は、第3の基板と異なる収縮率を有することを特徴とする液晶電気光学装置。

## 【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、液晶等の表示体を用いた液晶電気光学装置に関し、特に、その構成に関するものである。

【0002】

【従来の技術】 従来の表示装置としては、CRTが最も一般的である。しかし、CRTは装置の容積、重量、消費電力が大きく、特に、大面積の表示装置には適していなかった。そこで、近年、CRTに比べ軽量化及び低消費電力化が容易に実現できる液晶電気光学装置が注目されている。

【0003】 液晶電気光学装置は液晶物質が分子軸に対して平行方向と垂直方向で誘電率が異なることを利用し、光の偏光や透過光量、さらには散乱量を制御することでON/OFFすなわち明暗を表示する。液晶材料としてはTN液晶、STN液晶、強誘電液晶が一般的である。

【0004】 特に、液晶電気光学装置のなかでも、ガラス等の絶縁基板上にTFTを有する半導体装置、例えば、薄膜トランジスタ(TFT)を画素の駆動に用いるアクティブマトリクス型の液晶電気光学装置が盛んに開発されている。

【0005】 アクティブマトリクス型の液晶電気光学装置のパネル部分は、ガラス基板上に信号線と走査線をマトリクス状に組み合わせ、その交点部分近傍にTFTを配置した構成を有したものである。この構成において、TFTのソース電極は信号線に接続され、ゲート電極は走査線に接続されている。また、ドレイン電極は保持容量と画素領域の液晶に対応して配置された画素電極に接続されている。液晶は対向電極と画素電極の間に挟まれて駆動される。この対向電極は、対向基板上に作り込まれる。

【0006】 また、上記パネル部分の信号線や走査線を駆動するための駆動回路部分は、単結晶の半導体集積回路で形成されており、テープ自動ボンディング(TAB)法や、チップ・オン・ガラス(COG)法によって、アクティブマトリクスに接続されている。

【0007】 しかし、表示画面を構成するための電極配線の本数は数百にもおよぶものである。そして、従来の周

辺駆動回路は、ICパッケージや半導体チップであるため、これらの端子を基板上の電極配線と接続するためには、配線を引き回さなければならず、表示画面と比較して、周辺駆動回路部分の面積が大きくなってしまっていた。特に大面積の表示装置の場合、更に電極配線が多くなるため、ICの数も多くなりコスト高になるという問題があった。

【0008】また、上記問題点を解決するための方法として、パネル部分と同一基板上に駆動部分を配置する方法が考えられている。この場合の駆動部分は、薄膜トランジスタを用いて、パネル部分と同様に形成される。しかし、同一基板にパネル部分と駆動部分を一体形成した場合は、熱や外部からの力が加えられると基板全体にたわみ等が生じて、基板間隔制御物（スペーサ等）により、同一基板に設けられた周辺駆動回路に影響を与えていた。その結果、周辺駆動回路が正常に動作せず、液晶電気光学装置の信頼性、耐久性の低下を引き起こしていた。また、パネル部分と駆動部分を同時に形成するため、特に、大面積の表示装置の場合、歩留りが低下していた。

【0009】さらに上記問題点を解決するための他の方法として、駆動部分を他の支持基板上に形成し、パネルアレイ基板（パネル部分が形成された基板）に接着する方法や、パネルアレイ基板に他の支持基板上に形成された駆動部分を接着後、支持基板を除去する方法が考えられている。そして、この方法によって得られる構成は、より一層の小型化、軽量化を図ることができ、さらに表示装置の信頼性の向上を図ることができた。また、この方法は、パネルアレイ基板とスティック基板（駆動部分が形成された基板）を別々に形成するため、接着前に電気特性をテストして、良品・不良品に選別することができ、良品のパネルアレイ基板と良品のスティック基板を接着することが可能であった。従って、特に、大面積の表示装置の場合において、電気光学装置全体の歩留り及び信頼性を大幅に向上させることができた。

#### 【0010】

【発明が解決しようとする課題】 上述した方法、即ち、駆動部を他の支持基板上に形成し、パネルアレイ基板に接着する方法を用いた場合において、電気光学装置全体の信頼性及び製造歩留りは、主に、

- 〔1〕パネルアレイ基板の作製およびパネル作製工程
- 〔2〕スティック基板（駆動部分が形成された支持基板）の製造工程
- 〔3〕スティック基板とパネルアレイ基板との接続工程に左右される。

【0011】まず、〔1〕のパネルアレイ基板の作製およびパネル作製工程においては、パネル部分の画素TFTの半導体材料としてアモルファスシリコン（a-Si）を用いることが適している。即ち、作製温度が低く、気相法で比較的容易に作製することが可能で量産性

に富むために、最も一般的に用いられている非晶質珪素半導体（アモルファスシリコン）をパネル部分の半導体材料として用いることが適している。

【0012】次に、〔2〕のスティック基板の製造工程においては、駆動部分のTFTの半導体材料として結晶性を有する珪素半導体（ポリシリコン）を用いることが適している。即ち、アモルファスシリコンよりも、導電率等の物性が優れ、高速駆動の可能な、結晶性を有する珪素半導体を駆動部分のTFTの半導体材料として用いることが適している。尚、結晶性を有する珪素半導体としては、多結晶珪素、微結晶珪素、結晶成分を含む非晶質珪素、結晶性と非晶質性の中間の状態を有するセミアモルファス珪素等が知られている。

【0013】これら結晶性を有する薄膜状の珪素半導体を得る方法としては、非晶質の半導体膜を成膜しておき、長時間、熱エネルギーを印加（熱アニール）することにより結晶性を有せしめるという方法が知られている。しかしながら、加熱温度として600℃以上の高温で長時間の処理をすることが必要であり、そのため、基板が不可逆的に収縮することが問題となっている。

【0014】このように、TFTの半導体材料として非晶質珪素半導体で形成したパネルアレイ基板と、TFTの半導体材料として結晶性を有する珪素半導体で形成したスティック基板とを接着して、電気光学装置を作製すると、以下のような問題が生じていた。

【0015】パネルアレイ基板は、非晶質珪素半導体を用いているため、基板はほとんどシュリンク（基板の収縮）しないが、スティック基板は、結晶性を有する珪素半導体を得るために高熱処理を施しているため、シュリンクが生じていた。また、その高熱処理に耐えうる基板を用いるため、パネルアレイ基板とは基板自体が異なっていた。即ち、パネルアレイ基板とスティック基板とで、基板の収縮幅の違いが生じていた。

【0016】特に、大面積の表示装置の場合、スティック基板の形状は、一辺が長い長方形（横（X方向）×縦（Y方向））となるため、加熱前のアライメントが微妙にずれ、長辺方向には顕著に影響を与えていた。

【0017】そのため、〔3〕のパネルアレイ基板とスティック基板との接続工程において、パネルアレイ基板とスティック基板との収縮幅の違いによる配線パターンの位置ずれによって、接続不良が増大し、信頼性が低下するという問題点を有していた。スティック基板のX方向端部において、スティック基板803のX方向の収縮幅Dにより、配線パターンの位置ずれが生じている従来例を図8に示した。そして、配線パターンの位置ずれは、長辺方向（X方向）の端部に向かうにつれ大きくなり、電極パッド808と電極パッド806の重なる面積が小さくなっていた。

【0018】また、〔3〕のパネルアレイ基板とスティック基板との接続工程において、接続時に僅かに配線パ

ターンがずれることもあり、この配線パターンの位置ずれによって、接続不良が増大し、信頼性が低下するという問題点も有していた。

【0019】本発明は、上記問題点を解決する手段を提供するものである。より具体的には、特に、大面積の表示画面を有する装置に適した製造方法、即ち、駆動部分を他の支持基板上に形成し、パネルアレイ基板に接着する方法を用いて作製した電気光学装置を提供するものである。

【0020】加えて、本発明は、特に、パネルアレイ基板の引き出し配線とスティック基板の引き出し配線とを高精度で接続する手段を開示するとともに、歩留りが高く表示特性の良い電気光学装置を提供することを目的とする。

【0021】

【課題を解決するための手段】本明細書で開示する本発明の構成は、薄膜トランジスタを用いたスイッチング素子及び前記スイッチング素子と接続された画素電極がマトリクス状に配置された第1の基板と、対向電極を有する第2の基板と、前記第1の基板と前記第2の基板の間に液晶とを介在せしめた液晶電気光学装置であって、液晶を駆動させるための駆動回路及び該駆動回路と接続された複数の引き出し配線が配置された少なくとも1枚以上の第3の基板を有し、前記第3の基板上には、前記複数の引き出し配線の端部に電極パッドが設けられ、隣合う電極パッドは、引き出し配線が延在している方向にずらして配置することを特徴とする液晶電気光学装置である。

【0022】また、本発明の他の構成は、薄膜トランジスタを用いたスイッチング素子及び前記スイッチング素子と接続された画素電極がマトリクス状に配置された第1の基板と、対向電極を有する第2の基板と、前記第1の基板と前記第2の基板の間に液晶とを介在せしめた液晶電気光学装置であって、液晶を駆動させるための駆動回路及び該駆動回路と接続された複数の引き出し配線が配置された少なくとも1枚以上の第3の基板を有し、前記第3の基板上には、複数の引き出し配線の端部に電極パッドが配置され、前記電極パッドの形状が長方形であり、前記長方形の向かい合う2辺の一组が前記第3の基板の収縮幅によって規定され、他の一组が前記第1の基板に形成された配線パターンによって規定されたことを特徴とする液晶電気光学装置である。

【0023】上記構成において、前記第3の基板の収縮幅は、第1の基板の収縮幅より大きいことを特徴としている。

【0024】また、上記構成において、前記配線パターンの少なくとも一部が走査配線であることを特徴としている。

【0025】また、上記構成において、前記配線パターンの少なくとも一部が信号配線であることを特徴として

いる。

【0026】上記構成において、前記第3の基板は、前記第1の基板よりも高温の熱処理が施されている。

【0027】上記構成において、前記第3の基板の基板は前記第2の基板と実質的に同一平面とされている。

【0028】上記構成において、前記第1の基板のスイッチング素子として用いた薄膜トランジスタの活性層は、アモルファスシリコンからなり、前記第3の基板のスイッチング素子として用いた薄膜トランジスタの活性層は、結晶性を有するシリコンからなることを特徴としている。

【0029】上記構成において、前記第1の基板のスイッチング素子として用いた薄膜トランジスタの活性層は、結晶性を有するシリコンからなり、前記第3の基板のスイッチング素子として用いた薄膜トランジスタの活性層は、結晶性を有するシリコンからなることを特徴としている。

【0030】上記構成において、前記第1の基板及び第3の基板は、前記第3の基板の電極パッド部分の位置合わせが行われるよう調節する位置合わせ手段を有していることを特徴としている。

【0031】上記構成において、前記第1の基板は、第3の基板と異なる収縮率を有することを特徴としている。

【0032】

【発明の実施の形態】本発明の液晶電気光学装置は、図2及び図3に示す装置の概略構成を用い、図1に示すレイアウトをもつことを特徴とする。図1においては、3個ずつ電極パッドをY方向にずらした構成を例示しているが、特に、ずらす電極パッドの個数は限定されないことは言うまでもない。

【0033】本発明においては、基板の収縮幅が最も重要な要素である。この基板の収縮幅は、基板の熱処理温度及び処理時間や、基板そのものの収縮率に基づき変化する。基板の収縮率（単位距離当たりの収縮距離）は、主に、基板の種類とその特性（熱膨張係数、歪み点等）、サイズ、厚さ等に左右される。

【0034】従って、これらのことを十分考慮に入れ、以下に示すレイアウトの寸法（スケール）を適宜設計することは言うまでもない。

【0035】図2に示すように、スティック基板103全体の形状は、長方形（ $L_x \times L_y$ ）とした。また、スティック基板103を配置する位置は、画素マトリクス形成領域104以外の箇所であればよい。この形状及び配置は、主に画素マトリクスの形成領域104の大きさによって、適宜設計される。

【0036】本明細書においては、このスティック基板103の外周縁の長辺方向をX方向、短辺方向をY方向とする。具体的には、スティック基板の駆動回路部105から画素マトリクスの形成領域104側に向かう方

向、即ち、スティック基板に設けられた引き出し配線107が延在している方向がY方向である。

【0037】図1に示すように、スティック基板の駆動回路部105から画素マトリクス形成領域104側に向かってスティック基板側引き出し配線107(線幅W)が並列して設けられており、隣接する互いの引き出し配線は、一定の間隔(線間隔P)を保ち、さらに、それらの配線端部には、電極パッド106(スティック側電極パッド)が設けられている。この線間隔P及び線幅Wは、パネル側の配線パターン等に従い、適宜設計すればよい。このスティック側電極パッド106と電気的に接続させるために、パネルアレイ基板101にもパネル側引き出し配線109の端部に電極パッド108(パネル側電極パッド)を設けている。

【0038】これらの電極パッド同士は、直接接続されるわけではなく、導電部材(パンプ、異方性導電膜、導電性微粒子、FPC等)を介して接続されるため、できるだけ電極パッドが重なる面積を拡大することが望ましい。しかし、スティック基板の収縮が大きい場合、単純に電極面を拡大するのみでは、隣接する電極パッドの短絡、寄生容量の発生等の問題が発生する。

【0039】そこで本発明において、この電極パッド106の形状は、X方向を長辺( $Sdx$ )、Y方向を短辺( $Sdy$ )とする長方形とした。この長辺( $Sdx$ )は、スティック基板のX方向の収縮幅Dおよび貼り合わせ時の位置ずれによって規定される。こうすることによって、特に問題となっていたスティック基板の長辺方向(X方向)の変化(収縮や接着ずれ等)に対応することができ、パネルアレイ基板側の引き出し配線109との電気的接続をより確実なものとすることができる。

【0040】また、隣接する電極パッドをY方向にTsずらして配置し、隣接する電極パッドの短絡をなくした。加えて、隣接する電極パッドをY方向にずらして配置することで、電極パッド1個あたりのX方向のピッチを小さくすることができ、微細な画素ピッチに対応することができる。このY方向にずれた距離(Ts)は、パネル側の配線パターン等に従い、適宜設計すればよい。また、隣接する電極パッド同士のY方向間隔(Rs)や、電極パッドと隣接する配線とのX方向間隔(PS)もTsと同様に、適宜設計すればよい。

【0041】当然のことながら、スティック側電極パッド106に対応してパネル側電極パッド108をY方向にTsずらして配置されている。

【0042】この電極パッド108(パネル側電極パッド)の形状を、X方向を( $Pdx$ )、Y方向を( $Pdy$ )の概略正方形とした。このパッドの形状は電極パッド106(スティック側電極パッド)よりも小さい形状であれば、特に限定されない。以上のようにして電極パッド108の形状および配置を最適化する。

【0043】このように設計することで、高熱処理を施

す前と比較して長辺方向に収縮幅Dだけスティック基板が収縮しても、スティック基板側の電極パッドと、パネルアレイ基板側の電極パッドとが重なる面積は、基板全面においてほぼ均一にすることができる。図1に示すように、収縮幅Dだけスティック基板が収縮した場合、電極パッドの重なる面積は、概略パネルアレイ基板側のパッドの面積( $Pdx \times Pdy$ )と等しい。また、長辺方向の貼り合わせ時の位置ずれに対しても有効となる。従って、パネルアレイ基板の引き出し配線とスティック基板の引き出し配線とを高精度で接続することができる。

【0044】また、他の構成として、上記構成と逆の構成、即ち、パネル側電極パッドを長方形とし、スティック側電極パッドをパネル側電極パッドよりも小さい正方形形状とする構成としてもよい。

【0045】

【実施例】以下、本発明の実施例を説明するが、この実施例に限定されないことは勿論である。

【実施例1】本実施例は、パネルの作製工程、スティック基板の作製工程、パネルアレイ基板とスティック基板との接続工程の概略を示すものである。本実施例を図1~6を用いて説明する。図2は、本発明の電気光学装置全体の簡略図である。また、図3は、図2中のA-A'断面図およびB-B'断面図である。

【0046】〔パネルの作製工程〕本実施例では、パネルアレイ基板400上に、作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むために、最も一般的に用いられている非晶質珪素半導体(アモルファスシリコン)を用いて画素マトリクスに用いられるスイッチング素子を構成する。

【0047】このスイッチング素子の構造としては、ゲート材料(A1)を厚くし易いため大面積ディスプレイに適しているトップゲート構造のプレーナ型TFTを用いてもよい。しかし、本実施例では、マスクが少なく量産性に富んでいるボトムゲート型の薄膜トランジスタ(代表的には逆スタガ型TFT)を用いた例を示す。

【0048】図4に非晶質珪素半導体(アモルファスシリコン)を用いた、代表的なボトムゲート型(チャネルエッチ型)の薄膜トランジスタの作製工程の一例を示した。

【0049】まず、ガラス基板400(本実施例ではコーニング7059)を用意する。パネルアレイ基板の作製工程は、600℃以下で処理されるため、ほとんどすべてのガラス材質で構成されるものを用いることができる。特に、量産性に適した基板であれば、特に限定されない。

【0050】次に、ガラス基板上に導電性を有する金属膜を成膜しパターンニングすることによって、ゲート電極401を形成する。その後、ゲート絶縁膜402、非晶質珪素膜403を積層する。そして、N型またはP型を付与された珪素膜404を積層する。次に、珪素膜40



3及び404のパターニングを行い、図4(A)に示す状態を得る。

【0051】そして、導電性を有する金属膜を成膜しパターニングすることによって、ソース電極405、ドレイン電極406を作製し、さらに、ITO電極407を形成する。このITO電極407は、ソース、ドレイン電極の成膜前に設ける構成としてもよい。

【0052】次に、ソース電極、ドレイン電極をマスクとして、非晶質珪素膜403をエッチングする。最後に保護膜（パッシベーション膜）408を成膜して、図4(D)に示す状態を得ることができる。

【0053】ここでは、チャネルエッチ型のボトムゲート型の薄膜トランジスタの作製方法を示したが、図5に示すようなチャネルストップ型の構造を有する薄膜トランジスタを用いてもよい。501はゲート電極、502はゲート電極、503は非晶質珪素膜、504はN型またはP型を付与された珪素膜、505はソース電極、506はドレイン電極、507はITO電極、508は保護膜、509はエッチングストッパー（チャネルストップバー）である。

【0054】このような薄膜トランジスタを画素マトリクススイッチング素子としてパネルアレイ基板101を作製する。

【0055】次に、パネルアレイ基板101および対向基板102（対向電極が作り込まれた基板）に配向膜を成膜して、加熱・硬化（バーク）させる。その次に、配向膜の付着した基板表面を毛足の長さ2～3mmのパフ布（レイヨン・ナイロン等の繊維）で一定方向に擦り、微細な溝を作るラビング工程を行う。その後、パネルアレイ基板、もしくは対向基板のいずれかに、ポリマー系・ガラス系・シリカ系等の球のスペーサを散布する。スペーサ球の直径は、2μm～6μm、好ましくは3μm～5μm、本実施例では、直径約4μmのものをを用いた。このスペーサ球の径の大きさは特に限定されない。

【0056】その次に、パネルアレイ基板、もしくは対向基板のいずれかに、基板の外枠に設けられるシール材110となる樹脂を塗布する。

【0057】シール材が設けられたのち、対向基板とパネルアレイ基板を貼り合わせる。このようにして、パネルアレイ基板と対向基板を貼り合わせて形成されたパネルの液晶注入口より液晶材料111を注入し、その後、エポキシ系樹脂で液晶注入口を封止する。以上のようにして、パネルが作製される。

【0058】〔スティック基板の作製〕図6に結晶性を有する珪素半導体（ポリシリコン）を用いた、代表的なトップゲート型の薄膜トランジスタの作製工程を示した。

【0059】まず、基板は耐熱性の高い基板600（本実施例では石英基板）を用意し、その基板には、図示しないが、下地膜として300nm厚の絶縁性珪素膜を

形成する。絶縁性珪素膜とは、酸化珪素膜（ $\text{SiO}_x$ ）、窒化珪素膜（ $\text{Si}_x\text{N}_y$ ）、酸化窒化珪素膜（ $\text{SiO}_x\text{N}_y$ ）のいずれか若しくはそれらの積層膜である。

【0060】また、歪点が750℃以上であればガラス基板（代表的には結晶化ガラス、ガラスセラミクス等と呼ばれる材料）を利用することもできる。その場合には下地膜を減圧熱CVD法で設けて基板全面を絶縁性珪素膜で囲む様になるとガラス基板からの成分物質の流出を抑えられて効果的である。また、基板全面を非晶質珪素膜で覆い、それを完全に熱酸化膜に変成させる手段もとれる。

【0061】そして、公知の方法により、結晶性を有する珪素膜からなる島状半導体領域（シリコン・アイランド）を形成した。〔図6(A)〕この結晶性を有する珪素膜603の厚さは、必要とする半導体回路の特性を大きく左右するが、20～100nm、好ましくは15～45nmとすればよい。本実施例では45nmとした。ここでは、結晶性を有する珪素膜を得る工程により、基板は約100～150ppmで収縮した。この収縮率は、工程の条件により異なる。

【0062】本実施例においては、公知の如何なる手段を用いて結晶性を有する珪素膜を形成してもよいが、できるだけ基板の収縮を抑え、配線パターンの位置ずれを最小限にとどめることが望ましいため、ニッケル等を触媒元素として添加すると結晶化温度を下げ、アニール時間が短縮できる特開平8-78329号公報記載の技術を用いた。

【0063】また、本実施例では、さらに同公報記載の技術で結晶性を有する珪素膜を得た後、リンを用いたゲッターリング手段〔500～700℃の加熱処理〕（特願平9-65406号）で結晶化に利用した触媒元素を低減している。他にもハロゲン元素を含む雰囲気中で〔700℃～1000℃〕加熱処理を（特願平8-301249号）を行って触媒元素を低減してもよい。

【0064】その後、プラズマCVD法もしくは熱CVD法によって、ゲート絶縁層を形成した後、熱酸化工程を行って、酸化珪素膜を得る。さらに、アルミニウムまたはアルミニウムを主成分とする材料（本実施例では2wt%のスカンジウムを含有したアルミニウム膜）を成膜し、パターニングしてゲート電極601・配線を形成した。ゲート配線は、シリコンや、タングステン、チタン等の金属や、あるいはそれらの珪化物でもよい。ゲート電極をどのような材料で構成するかは、必要とされる半導体回路の特性や基板の耐熱温度等によって決定すればよい。

【0065】次に、特開平7-135318号公報記載の技術により多孔性の陽極酸化膜及び無孔性の陽極酸化膜609を形成する。そして、これらの陽極酸化膜およびゲート電極601をマスクとして、ゲート絶縁層をエ

ッチングし、ゲート絶縁膜 602 を形成する。その後、多孔性の陽極酸化膜を除去する。〔図 6 (B)〕

【0066】その後、セルフアライン的に、イオンドーピング法等の手段により N 型または P 型の不純物をシリコン・アイランドに導入し、チャネル形成領域 610、低濃度不純物領域 611、そしてソース領域 612、ドレイン領域 613 を形成した。〔図 6 (C)〕

【0067】そして、公知の手段で、層間絶縁膜 608 を堆積した。そして、これにコンタクトホールを開孔し、アルミニウム合金配線を形成してソース電極 605 及びドレイン電極 606 を得た。〔図 6 (D)〕

【0068】さらに、これらの上に、保護膜（パッシベーション膜）として、厚さ 10～50 nm の窒化珪素膜等をプラズマ CVD 法によって堆積し、これに、出力端子の配線に通じるコンタクトホールを開孔し、配線を形成する構成としてもよい。

【0069】このようにして、石英基板に周辺駆動回路を作製した。量産性を上げるためには、一枚の基板に複数の周辺駆動回路を一度に作製することが望ましい。

【0070】本実施例において、駆動回路部 105 からの引き出し配線 107 および電極パッド 106 の配置は、図 1 に示すレイアウトで構成したが、特に限定されない。

【0071】本実施例では駆動回路のスイッチング素子としてトップゲート構造を用い、その構造の例としてプレーナ型 TFT を作製する場合を例にとったが、ボトム型ゲート型 TFT（代表的には逆スタガ型 TFT）を用いても構わない。

【0072】その後、直径約 4 μm の銀ペーストを機械的に電極パッド 106 の上に形成した。このようにして得られた回路を適当な大きさに分断して、スティック基板が得られた。

【0073】〔パネルアレイ基板とスティック基板の接続工程〕以上の工程により作製されたパネルアレイ基板 101 とスティック基板 103 を圧力を加えて接着した。パネルアレイ基板とスティック基板を接続した装置の断面図である図 3 を用いて説明する。本実施例では、両基板共に厚さ 1 mm のものを用いたが、特に限定されない。

【0074】上記圧着時において、スティック基板側の電極パッド 106 とパネルアレイ基板側の電極パッド 108 との位置合わせが容易に行われるように位置合わせマーカーを設ける構成とすることが望ましい。本実施例においては、スティック基板及びパネルアレイ基板は透光性を有する基板を用いることができるため、位置合わせが容易である。また、スティック基板のマーカーの配置および形状は、電極パッドと同様に、特にスティック基板の長辺方向のずれ（基板の収縮によるずれ、貼り合わせ時のずれ等）を考慮して、適宜設計することが好ましい。

【0075】こうして、パネルアレイ基板側の電極パッド 108 とスティック基板側の電極パッド 106 は導電部材 112（導電性微粒子等）によって、電気的に接続される。

【0076】次に光硬化性の有機樹脂を混合した接着剤 113 をスティック基板とパネルアレイ基板の隙間に注入した。なお、接着材は、スティック基板とパネルアレイ基板を圧着する前に、いずれかの表面に、事前に塗布しておいてもよい。

【0077】ここで、対向基板 102 とパネルアレイ基板 101 との間隔（基板の厚さを含む）H<sub>p</sub> と、スティック基板 103 とパネルアレイ基板 101 との間隔（基板の厚さを含む）H<sub>s</sub> を概略同一とすることが好ましい。そのために、基板間隔を保つためのスペーサを基板間に有する構成としてもよい。

【0078】そして、120℃の窒素雰囲気下のオーブンで、15 分間処理することにより、スティック基板とパネルアレイ基板との電気的な接続と機械的な接着を完了した。なお、完全な接着の前に、電気的な接続が不十分であるか否かを、特開平 7-14880 に開示される方法によってテストした後、本接着する方法を採用してもよい。

【0079】本実施例において、駆動回路の形成された基板上の引き出し配線 107 と液晶パネルを構成する基板上の引き出し配線 109 とを接続する他の方法としては、例えば、導電性微粒子を混合した紫外線硬化接着剤を基板間に介在せしめ、圧力を加えながら紫外線を照射して接続を行う方法、或いは FPC を用いる方法、異方性導電ゴムを用いる方法等を用いてもよい。

【0080】また、スティック基板とパネルアレイ基板との電気的な接続と機械的な接着を完了した後、スティック基板を剥離する構成としてもよい。その場合は、剥離後の周辺駆動回路上に、保護膜として、ポリイミド膜等を形成することが好ましい。

〔実施例 2〕図 7 に本実施例の装置全体概略図を示す。作製方法に関しては、実施例 1 と同一工程を用いて作製することができる。実施例 1 はスティック基板を 2 枚用いる構成であったが、本実施例においては、スティック基板を 3 枚用いた例を示した。また、コントロール回路や、メモリ回路等を搭載した VLSI 基板 706 を 2 枚設けて、更なる集積化を行った。この VLSI 基板は、シリコン基板を用いる構成とした。この VLSI 基板は、1 枚でも、2 枚でも、それ以上の枚数を使用しても構わない。

【0081】701 はパネルアレイ基板、702 は対向基板、703 はスティック基板、704 は、画素マトリクスの形成領域、705 は駆動回路部、706 は VLSI 基板、714 は FPC を示している。

【0082】こうすることによって更なる集積化と、駆動回路の負担の軽減を行うことができる。さらに本実施

例の応用として、さらに複数のスティック基板（4枚以上）、複数のVLSI基板を用いることが可能である。

【0083】なお、本発明においては、液晶パネルとしてアクティブマトリクス型のものを用いたが、種類の異なる他の液晶パネルを用いることも可能である。

【0084】

【発明の効果】本発明の液晶電気光学装置においては、互いに異なる熱処理工程が施され、スティック基板とパネルアレイ基板とで収縮幅や、接着時のズレが生じて、本発明における電極パッド（収縮幅の大きい基板側）形状とすることで、スティック基板とパネルアレイ基板の接続不良の発生を防止することができる。また、貼り合わせ時の目合わせずれに対しても接続不良を防止できる。即ち、パネルアレイ基板とスティック基板との引き出し配線同士を確実に接続することができる。

【0085】また、本発明の電極パッドの形状とすることで、主に基板の収縮により生じていたパネルアレイ基板側の電極パッドとスティック基板側の電極パッドとが重なる面積のバラツキを防ぐことができる。

【0086】また、本発明を用いれば、特に、表示パネルの画素マトリクス領域が大型でスティック基板が長尺となる場合でも、高精度で接続することが可能である。即ち本発明の技術を用いれば、大容量、高密度表示パネルの電極パッド接続を極めて容易、且つ、確実に行うことができる。

【0087】加えて、本発明の構成としたことにより、より一層の小型化、軽量化が図れ、液晶電気光学装置の信頼性の向上が図れる。

【図面の簡単な説明】

【図1】 本発明の一実施例を示すレイアウト図である。

【図2】 本発明の一実施例を示す全体の概略図である。

【図3】 図2における断面図である。

【図4】 パネルアレイ基板のTFT作製工程図である。

【図5】 パネルアレイ基板のTFT構造の一例である。

【図6】 スティック基板のTFT作製工程図である。

10 【図7】 実施例2を示す全体の概略図である。

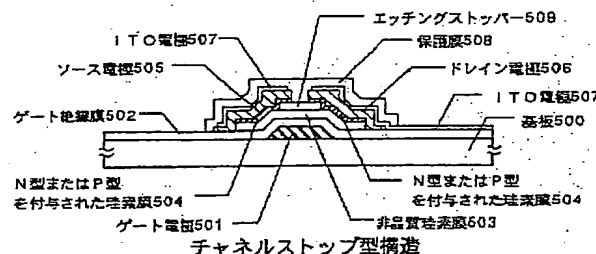
【図8】 従来例を示す図である。

【符号の説明】

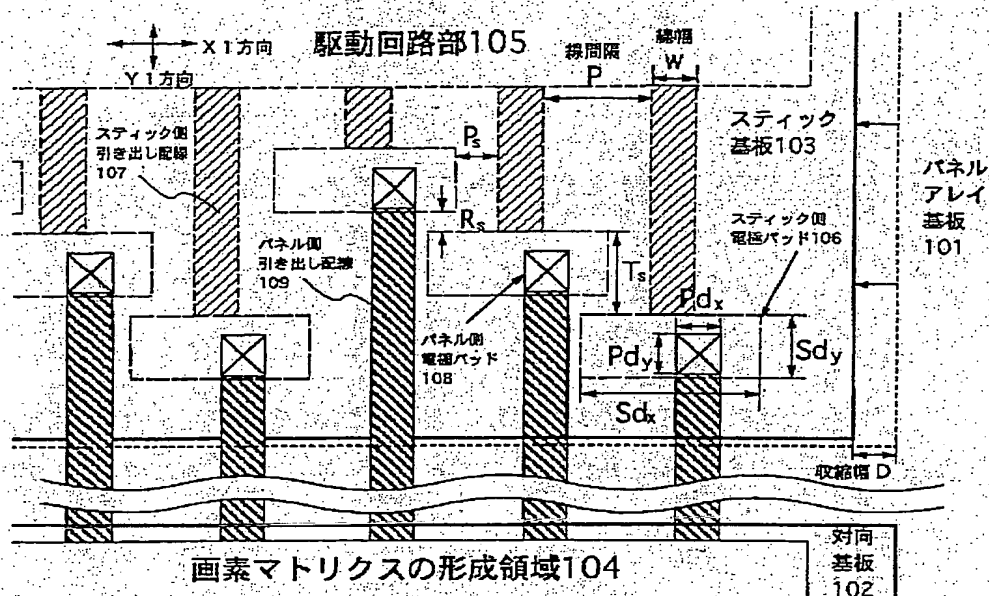
スティック基板のX方向の長辺長さ： $Lx_1$ 、スティック基板のX方向の短辺長さ： $Ly_1$ 、 $Sdx$ ：スティック基板側の電極パッドのX方向の長辺長さ、 $Sdy$ ：スティック基板側の電極パッドのY方向の短辺長さ、 $D$ ：スティック基板の長辺方向の収縮幅、 $P$ ：線間隔、 $W$ ：線幅、 $H_p$ ：（パネルアレイ基板の厚さ及び対向基板厚さ含む）パネルの厚さ、 $H_s$ ：（パネルアレイ基板の厚さ及びスティック基板厚さ含む）パネルの厚さ、 $P_s$ ：スティック基板側の電極パッドと隣接する引き出し配線とのX方向の間隔、 $R_s$ ：隣接するスティック基板側の電極パッド同士のY方向の間隔、 $T_s$ ：隣接するスティック基板側の電極パッド同士のX方向の間隔

101：パネルアレイ基板、102：対向基板、103：スティック基板、104：画素マトリクスの形成領域、105：駆動回路部、106：スティック側電極パッド、107：スティック側引き出し配線、108：パネル側電極パッド、109：パネル側引き出し配線、110：シール材、111：液晶、112：導電部材、113：接着材、114：FPC

【図5】



【図1】



【図2】

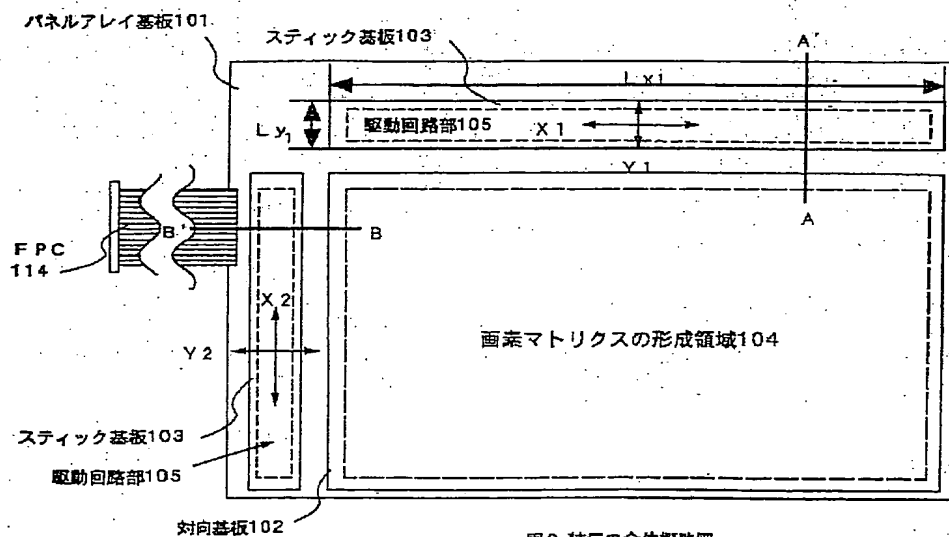
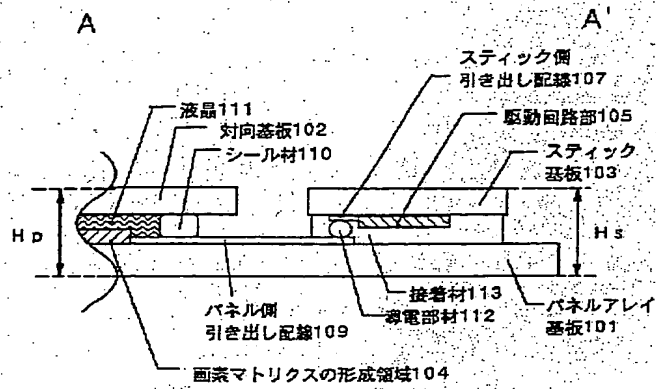
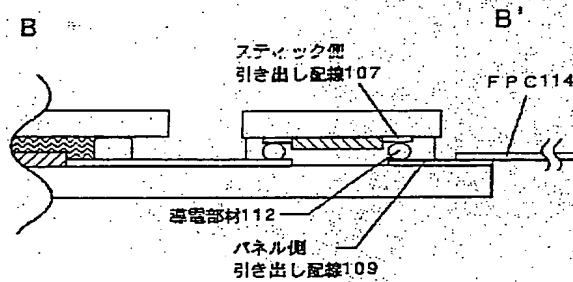


図2 装置の全体概略図

【図3】

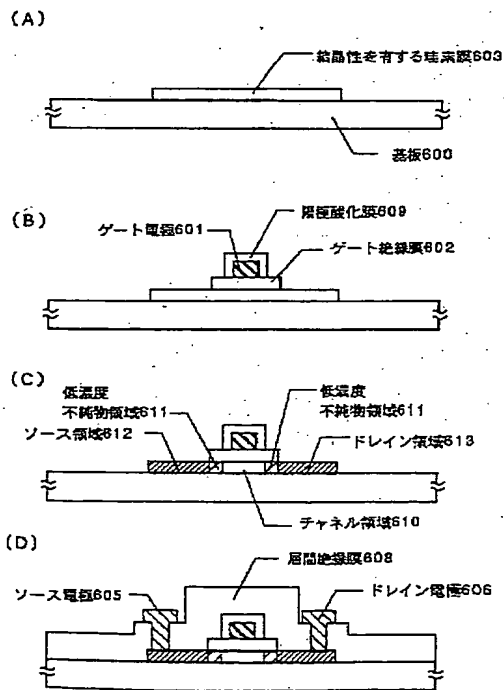


a) A-A'断面簡略図



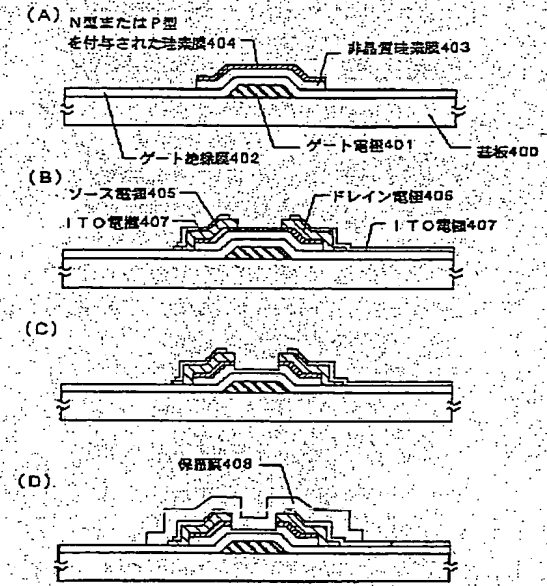
b) B-B'断面簡略図

【図6】

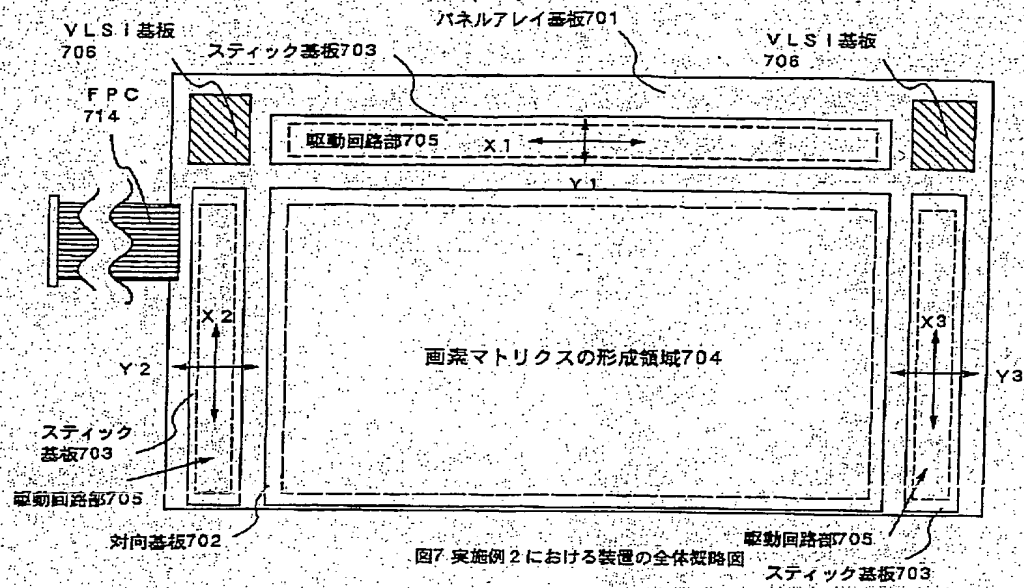


スティック基板のTFT (p-Si) 作製工程

【図4】

パネルアレイ基板のTFT (a-Si) 作製工程  
(チャネルエッチ型構造)

【図7】



【図8】

